

	Type	Hits	Search Text	DBs
1	BRS	1	257/777 and (wiring or metal) adj substrate and (terminal or pad) and wiring adj pattern and wire	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
2	BRS	11	257/778 and (wiring or metal) adj substrate and (terminal or pad) and wiring adj pattern and wire	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
3	BRS	6	257/780 and (wiring or metal) adj substrate and (terminal or pad) and wiring adj pattern and wire	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
4	BRS	5	257/730 and (wiring or metal) adj substrate and (terminal or pad) and wiring adj pattern and wire	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
5	BRS	4	257/725 and (wiring or metal) adj substrate and (terminal or pad) and wiring adj pattern and wire	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
6	BRS	18	257/723 and (wiring or metal) adj substrate and (terminal or pad) and wiring adj pattern and wire	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
7	BRS	23	257/723 and (wiring or metal) adj (substrate or film or sheet) and (terminal or pad) and wiring adj pattern and wire	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
8	BRS	0	"chip mounted on chip" and (wiring or metal) adj (substrate or film or sheet) and (terminal or pad) and wiring adj pattern and wire	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB

	Type	Hits	Search Text	DBs
9	BRS	26	multi adj chip and (wiring or metal) adj (substrate or film or sheet) and (terminal or pad) and wiring adj pattern and wire	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
10	BRS	3	257/777 and (wiring or metal) adj (substrate or film or sheet) and (terminal or pad) and wiring adj pattern and wire	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
11	BRS	0	257/777 and (wiring or metal) adj (substrate or film or sheet) and (terminal or pad) and wiring adj pattern and bonding adj wire	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
12	BRS	60	(wiring or metal) adj (substrate or film or sheet) and (terminal or pad) and wiring adj pattern and bonding adj wire	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
13	BRS	1028	257/777	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
14	BRS	49	257/777 and bond adj wire	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
15	BRS	4798	"multi chip package" bond adj wire	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
16	BRS	1	"multi chip package" and bond adj wire	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
17	BRS	3	(multi adj chip adj package or MCP) and bond adj wire	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
18	BRS	70	257/723 and bond adj wire	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB

	Type	Hits	Search Text	DBs
19	BRS	106	"multi chip" and bond adj wire	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
20	BRS	2	5311057.uref. and bond adj wire	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
21	BRS	24	5311057.pn. or 5719440.pn. or 5976911.pn. or 6154372.pn. or 5864177.pn. or 5905639.pn. or 6208018.pn. or 5028986.pn. or 5196992.pn. or 5986342.pn.	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
22	BRS	3	5012323.pn.	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
23	BRS	57	5012323.uref.	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
24	BRS	0	6215182.uref.	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
25	BRS	2	6215182.pn.	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
26	BRS	1	"5422435".PN.	USPAT
27	BRS	1	"6005778".PN.	USPAT
28	BRS	41042	wiring adj (pattern or trace or layer)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
29	BRS	21319	wiring adj (pattern or trace)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
30	BRS	130	wiring adj (pattern or trace) and multichip	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB

	Type	Hits	Search Text	DBs
31	BRS	23	wiring adj (pattern or trace) and multichip and metal adj (layer or film)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
32	BRS	3	257/777 and wiring adj (pattern or trace) and multichip and metal adj (layer or film)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB
33	BRS	12	257/777 and wiring adj (pattern or trace) and metal adj (layer or film)	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM TDB

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-198735

(43)公開日 平成5年(1993)8月6日

(51)Int.Cl. ⁵ H 0 1 L 25/04 25/18	識別記号 7220-4M	庁内整理番号 F I H 0 1 L 25/ 04	技術表示箇所 Z
--	-----------------	---------------------------------	-------------

審査請求 未請求 請求項の数2(全 5 頁)

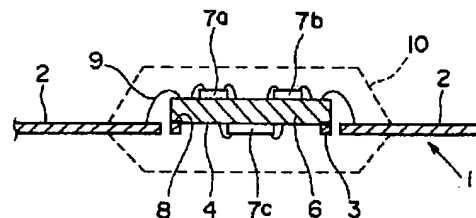
(21)出願番号 特願平4-7763	(71)出願人 000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22)出願日 平成4年(1992)1月20日	(72)発明者 綿引 貞男 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
	(72)発明者 柴田 進 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
	(72)発明者 小泉 力 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
	(74)代理人 弁理士 佐々木 宗治 (外3名) 最終頁に続く

(54)【発明の名称】 マルチチップモジュール

(57)【要約】

【目的】 製作が容易で高機能かつ低コストのマルチチップモジュールを得ること。

【構成】 リードフレーム1のダイパット3を中空の枠状に構成し、電気部品7a~7cが実装された基板6をダイパット3に固定してパッケージしたもの。



6: 基 板
7a~7c: 電 気 部 品
8: 接 着 剤
9: ワ イ ヤ

図1のリードフレームに基板を搭載した断面図

【特許請求の範囲】

【請求項1】 複数の電気部品が実装された基板をリードフレームに搭載し、前記基板及びリードフレームの一部をパッケージしてなるマルチチップモジュールにおいて、

前記リードフレームのダイパットを中空の枠状に構成し、電気部品が実装された基板を前記ダイパットに固定してパッケージしたことを特徴とするマルチチップモジュール。

【請求項2】 ダイパットに熱膨張を吸収する緩衝領域を設けたことを特徴とする請求項1記載のマルチチップモジュール。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体チップその他の複数の電気部品を両面実装した基板を、リードフレームに搭載してパッケージしてなるマルチチップモジュールに関するものである。

【0002】

【従来の技術】樹脂モールドによるパッケージは、本来、半導体チップ単体を低価格でパッケージすることを目的として開発され、低コストで量産性に優れていることから、現在ではセラミックパッケージ等と比べてはるかに多量に生産されている。一方、半導体装置を使用する電子機器側からの要請により、最近では複数の電気部品を実装した基板をリードフレームに搭載し、配線をしたのち樹脂モールドでパッケージしてなるマルチチップモジュールが増加している。

【0003】図5は(株)工業調査会発行に係る「最新ハイブリッド実装技術」の第56頁図3及びその説明に記載されたマルチチップモジュールの説明図である。図において、11は一方の面に半導体チップ、トランジスタチップ、R、C複合アレイ等の電気部品13が実装され、導電パターン12にワイヤ9で接続された配線シートである。この配線シート11はリードフレーム1のダイパッド3aに接着剤8で接着され、導電パターン12又は電気部品13とリードフレーム1のリード2とをワイヤ9で接続し、樹脂モールド10によりパッケージしたものである。

【0004】図6は日経BP社発行に係る「日経エレクトロニクス」NO. 480号の第180頁に記載されたマルチチップ・パッケージの説明図である。このマルチチップ・パッケージは、セラミック基板14の両面に導電パターン12を設け、これに半導体チップ等13を実装して導電パターン12とワイヤ9で接着すると共に、セラミック・コンデンサ15を導電性接着剤でセラミック基板14に接着し、さらに厚膜抵抗17を設けたもので、このセラミック基板14をダイパットを除去したリードフレーム1のダイパットの位置に配設し、樹脂モールド10によりパッケージしたものである。

【0005】さらに、図7はイビデン(株)発行の技術資料「PACTHOL」の第5頁に記載された多層配線を施したリードフレームの説明図で、リードフレーム1のダイパットに相当する部分3aの両面に絶縁層18を設け、この絶縁層17内及びその両面に多層配線19を施し、これら多層配線19を必要に応じてスルーホール20により電気的に接続したものである。なお、絶縁層18の両面には半導体チップその他の電気部品が実装され、多層配線19とはワイヤあるいはスルーホールを介して接続される。

【0006】

【発明が解決しようとする課題】図5の例では、電気部品13が実装された配線シート11の他方の面をダイパット3aに接着しているため、配線シート11には両面実装をすることができず、したがって、高密度実装を行なうことが困難である。

【0007】また、図6の例は、セラミック基板14の両面に電気部品13、15、17を実装して高密度実装化をはかっているが、ダイパットの無いリードフレーム1のダイパットに相当する位置に、セラミック基板14を配設して樹脂モールドでパッケージすることは、製造工程が複雑になりきわめて面倒である。

【0008】さらに、図7の例では、リードフレーム1の一部分のみに多層配線19を施して多層配線基板を構成しているが、このような多層配線基板は従来の多層配線基板の製造設備では製造できないので別に製造設備を新設しなければならず、このため相当なコストアップになる。

【0009】本発明は、上記の課題を解決すべくなされたもので、製作が容易で高機能かつコストを低減できる両面実装式のマルチチップモジュールを得ることを目的としたものである。

【0010】

【課題を解決するための手段】本発明に係るマルチチップモジュールは、リードフレームのダイパットを中空の枠状に構成し、電気部品が実装された基板をダイパットに固定してパッケージしたものである。また、上記の枠状のダイパットに熱膨張による変形を吸収する緩衝領域を設けたものである。

【0011】

【作用】両面実装された基板の下面外周を接着剤によりダイパットに接着し、電気部品又は導電パターンとリードフレームの一部をワイヤで接着する。そして基板及びリードフレームの一部を樹脂モールド等によりパッケージする。また、リードフレームと基板とは熱膨張率が異なるため、高温になるとリードフレームが変形して基板が剥離することがある。しかし、本発明においてはリードフレームの熱膨張による変形を緩衝領域で吸収するので、基板が剥離することはない。

【0012】

3

【実施例】実施例1. 図1は本発明に係る第1の実施例のリードフレームの平面図、図2は図1のリードフレームに電気部品を実装した基板を搭載した状態を示す断面図である。両図において、1はリードフレーム、2はそのリードである。3は支持リード5、5aに支持されたダイパットであるが、本実施例においては通常のダイパットの中央部を中空4に形成して枠状に構成してある。なお、枠状のダイパット3の幅W₁は、リードフレーム1の厚さなどによって必ずしも一定ではないが、通常0.3mm以上であればよく、また、支持リード5、5aの幅W₂は従来のダイパットの支持リードの幅と同程度（例えば0.2～0.3mm）でよい。

【0013】6は例えば多層配線基板の如き基板で、その表裏両面には導電パターン（図示せず）が形成されており、それぞれ半導体チップその他の電気部品7a、7b、7cが実装されている。この基板6はその一方の面の外周縁が接着剤8によりダイパット3に接着固定され、基板6の端子とリード2とはそれぞれワイヤ9により接続されている。そして、基板6、ダイパット3、ワイヤ9及びリード2の一部は、樹脂モールド10によりパッケージされる。

【0014】上記のように構成した本実施例においては、基板6はダイパット3に固定されるので、位置決め及び保持が容易であり、しかも、基板6の裏面に実装した電気部品7cはダイパット3の中空部4内に位置するため、両面実装した基板6を容易にリードフレーム1に搭載することができる。

【0015】実施例2. 図3は本発明の第2の実施例の断面図である。本実施例は、基板6の外形をダイパット3の中空部4の内形とほぼ同じ形状に形成し、電気部品7a～7cを実装した基板6をダイパット3の中空部4に嵌合したものである。なお、必要に応じて基板6の周壁をダイパット3の内壁に接着剤8で接着してもよい。本実施例によれば、マルチチップモジュールの高さ（厚さ）をより低く（薄く）することができる。

【0016】実施例3. 上述のように構成した本実施例において、基板6が大きくなると、リードフレーム1と基板6との熱膨張係数の相違から、リードフレーム1が変形して基板6が剥離することがある。図4（a）はその対策としてダイパット3の一部に、例えばダイパット3と同一平面に突設したV字状の緩衝領域11を設け、ダイパット3の熱膨張による変形をこの緩衝領域11で吸収させるようにしたものである。

【0017】図4（b）は緩衝領域11の他の実施例を示すもので、本実施例はダイパット3と直交する方向に緩衝領域11を突設したものである。なお、上記の各実施例ではV字状の緩衝領域11を設けた場合を示したが、緩衝領域11の形状はこれに限定するものではなく、適宜変更することができる。

4

【0018】ところで、基板6を接着剤8でダイパット3に接着する際、接着剤8が外側にはみ出すことがある。これを防止するためには、ダイパット3の外形寸法を基板6の外形寸法より若干大きくするか、又は若干小さくすればよい。

【0019】上記の説明では、基板6、ダイパット3、ワイヤ9及びリードフレーム2の一部を樹脂モールド10でパッケージする場合について述べたが、セラミックその他の材料でパッケージする場合にも本発明を実施することができる。

【0020】

【発明の効果】以上詳記したように、本発明は、リードフレームのダイパットを中空の枠状に構成し、表裏両面に電気部品が実装された基板を、裏面に実装した電気部品が前記の中空部内に位置するようにダイパットに固定してパッケージするようにしたので、製造が容易かつ高機能で低価格のマルチチップモジュールを得ることができる。

【0021】また、枠状のダイパットに緩衝領域を設けて熱膨張による変形を吸収させるようにしたので、これに接着した熱膨張係数の異なる基板が剥離するおそれなく、信頼性の高いマルチチップモジュールが得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施例のリードフレームの平面図である。

【図2】図1のリードフレームに基板を搭載した状態を示す断面図である。

【図3】本発明の第2の実施例の断面図である。

【図4】（a）本発明の第3の実施例のリードフレームの要部を示す平面図である。

（b）同じく他の実施例の側面図である。

【図5】従来のマルチチップモジュールの一例の説明図である。

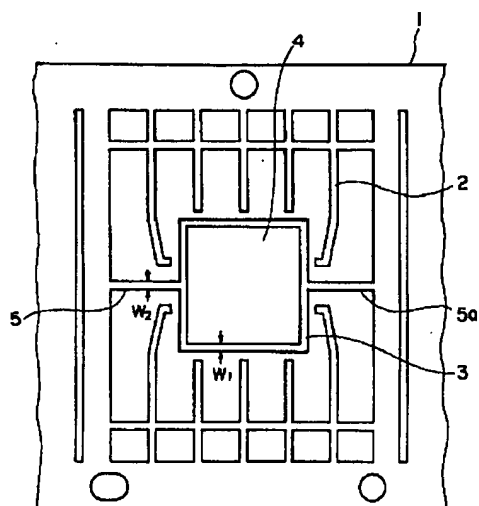
【図6】従来のマルチチップパッケージの一例の説明図である。

【図7】従来の多層配線を施したリードフレームの一例の説明図である。

【符号の説明】

- 1 リードフレーム
- 2 リード
- 3 ダイパット
- 4 中空部
- 6 基板
- 7a～7c 電気部品
- 8 接着剤
- 10 パッケージ
- 11 緩衝領域

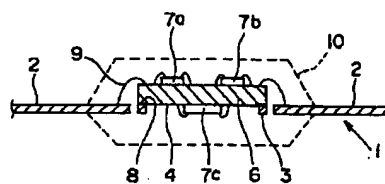
【図1】



- 1: リードフレーム
2: リード
3: ダイパッド
4: 中空部

本発明実施例のリードフレームの平面図

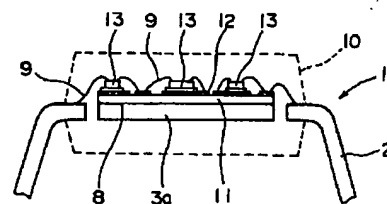
【図2】



- 6: 基板
7a~7c: 電気部品
8: 接着剤
9: ワイヤ

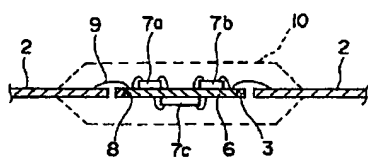
図1のリードフレームに基板を搭載した断面図

【図5】



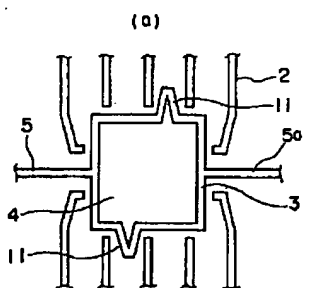
従来のマルチチップモジュールの説明図

【図3】

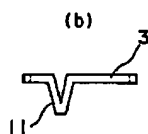


本発明の第2の実施例の断面図

【図4】

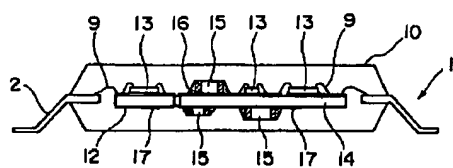


11: 緩衝領域



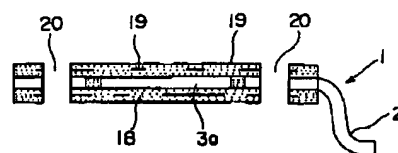
本発明の第3の実施例の要部平面図及び断面図

【図6】



従来のマルチチップパッケージの説明図

【図7】



従来の多層配線を施したリードフレームの説明図

フロントページの続き

(72)発明者 高橋 博英
東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

拒絶理由通知書

特許出願の番号	平成11年 特許願 第172387号
起案日	平成13年11月28日
特許庁審査官	川真田 秀男 7220 4R00
特許出願人代理人	丸山 隆夫 様
適用条文	第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

この出願の下記の請求項に係る発明は、その出願前日本国内において頒布された下記の刊行物に記載された発明に基づいて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記

請求項1, 6, 7について：

実願昭58-100914号(実開昭60-9238号公報)のマイクロフィルム
.....第2図(a)、明細書6頁。

特開平4-7867号公報.....第19図、公報11頁上段。

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

先行技術文献調査結果の記録

・調査した分野 IPC第7版 H01L25/04

この拒絶理由通知書の内容に関する問い合わせ先

特許審査第三部電子素材加工 審査官 川真田 秀男 (かわまた ひでお)

電話 03-3581-1101 内線 3470

...

Record

For Claims 1, 6, 7;

Microfilm of Japanese Application for Utility Model Registration
No. S58-100914 (Japanese Utility Model Gazette Early Disclosure
No. S60-9238)

.....Figure No. 2(a), Specifications Page 6.

Publication of Japanese Laid-Open Patent No. H4-7867

.....Figure No. 19, Gazette Page 11 onward.

...